

⑫ 公開特許公報(A)

昭64-15947

⑪ Int. Cl.¹H 01 L 21/82
27/04

識別記号

庁内整理番号

7925-5F
A-7514-5F

⑬ 公開 昭和64年(1989)1月19日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 半導体装置

⑯ 特 願 昭62-171980

⑰ 出 願 昭62(1987)7月9日

⑱ 発 明 者 大 内 康 憲 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑳ 代 理 人 弁理士 栗田 春雄

明 細 書

3. 発明の詳細な説明

産業上の利用分野

本発明はゲートアレイヤスタンダードセルの設計方式を用いて、顧客の注文に応じて論理回路を任意に形成するLSIチップからなる半導体装置に関し、特にゲートアレイヤスタンダードセルのセル配置および電源配線に関するものである。

従来の技術

近年、各種の電子装置の多様化に対して種々の論理回路を有する半導体装置が用いられ、少量多品種化の傾向にある。これに対処するため、トランジスタを有する基本構成(セル)を規則的に配列した半導体基板上に、顧客の要求にあった配線パターンを設計形成して、半導体装置を形成することが広く行われている。

従来、この種の半導体装置の一例は第4図に示すように、チップの上下辺に沿ってゲートアレイヤスタンダードセルが配列されるセル領域1と、配線領域2とが交互に平行に配置され、周囲に入出力端子領域4を有するものであった。そしてセ

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 多数のトランジスタを有するセル領域と、これらに配線を行う配線領域とを、上下辺に沿って交互に平行に配置し、顧客の要求により前記配線領域の配線パターンのみを設計して形成する四角形のチップからなるゲートアレイあるいはスタンダードアレイ設計方式の半導体装置において、前記四角形のチップをその対角線に沿って4つに区分し、これら4つの三角形の各部分にチップの周囲辺に平行に前記セル領域および配線領域を交互に配置することを特徴とする半導体装置。

(2) 電源配線および接地配線を対角線に沿って設けた特許請求の範囲第(1)項記載の半導体装置。

が減少し、セル回路の動作を確実にすることができる。

なお、この対角線上の電源および接地配線パターン3は、一般の2層の配線層の上の第3層に並べて設けることもできるし、前述の各三角形部分の配線のX軸、Y軸の逆転の場合に、配線のない対角線面に設けるなど任意の方法が実施される。

ただし中心の対角線配線の交点については、電源、接地いずれかをスルーホールを用いて他の面で接続するか、飛越し配線を行わせるなどによって実施される。

発明の効果

以上に説明したように、本発明によれば、四角形のチップを対角線で区分した4つの三角形部分に、周辺辺に沿って平行にセル領域および配線領域を現状に配置することにより、配線領域の幅を狭くでき、セル密度の増加が図れるという効果がある。また電源(接地)配線パターンを対角線に沿って設けることにより、電源および接地の配線長をより短くし、セル回路の動作を確実にするこ

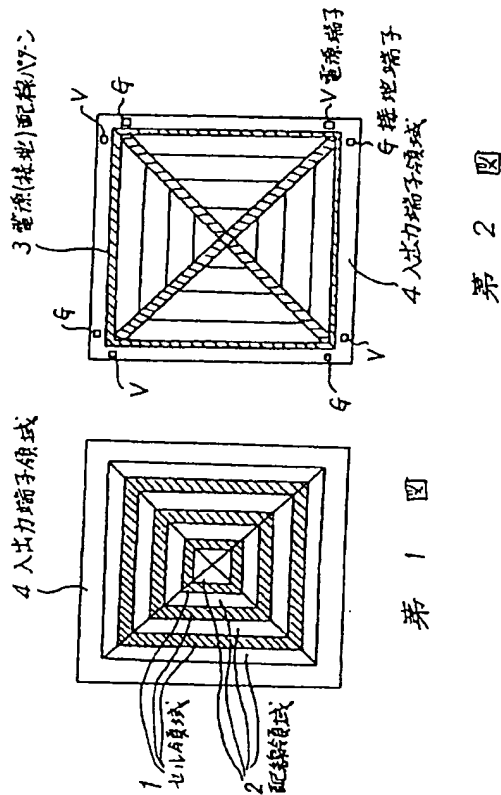
う効果がある。更に配線領域のX軸とY軸とを三角形部分で交互に逆に定めることにより配線のためのスルーホール数を少なくし、信頼性を向上できるという効果がある。

4. 図面の簡単な説明

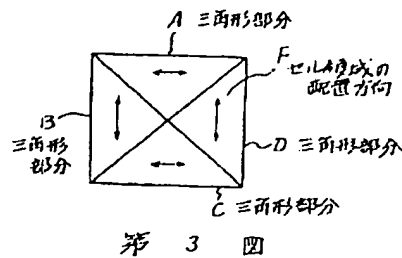
第1図は本発明の一実施例の平面図、第2図は本発明の構成における電源(接地)配線を示す図、第3図は本発明のセル領域の配線方向を示す図、第4図は従来のセル領域と配線領域とを示す図、第5図は第4図の場合の配線分布を示す図である。

1……セル領域、2……配線領域、3……電源(接地)配線パターン、4……入出力端子領域、A、B、C、D……三角形部分、F……セル領域の配置方向、G……接地端子、V……電源端子。

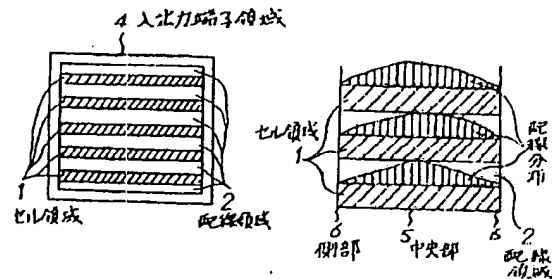
代理人 弁理士 栗田 春 雄



第1図



第3図



第4図

第5図

sequentially become shorter from the outermost perimetry to the center are annularly arranged in a quadrangle along the perimetrical sides. The interconnections between the individual cells in the cell regions are uniformized since the wiring regions 2 are also annular as with the cell regions 1, and it is possible to narrow the width of the wiring regions 2. Then, a power supply and grounding wiring pattern 3 is connected to a power supply terminal V and a ground terminal G of an input/output terminal region 4 and provided along the perimeter of the chip and the diagonal lines. Accordingly, the wiring is shortened, the voltage drop decreases, and the operation of the cell circuit is assured.

COPYRIGHT: (C)1989, JPO&Japio